

CONSTITUTION: A gate electrode 30 sandwiches a gate insulating film 91, and surrounds a thin film semiconductor layer; a thin film part which is not covered with a gate 30 is a source electrode 40 and a drain electrode 50; the thin film semiconductor layer which is sandwiched by the gate 30 between the electrodes 40, 50 constitutes a channel in the direction parallel with the surface of a substrate 10. Since the channel is surrounded by an insulating layer 20 and the gate insulating film 91, the channel is electrically isolated from the substrate 10. The gate electrode 30 exerts field effect on the channel via a gate insulating film 91, and performs three-terminal field effect type transistor actions by a source electrode 40 and a drain electrode 50. Hence excellent electric characteristics can be obtained by the gate, and a finely miniaturized FET can be constituted in a plane view.

COPYRIGHT: (C)1990,JPO&Japio

⑫ 公開特許公報(A) 平2-263473

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)10月26日

H 01 L 29/784

8422-5F

H 01 L 29/78

3 0 1 X

8624-5F

3 1 1 X※

審査請求 未請求 請求項の数 9 (全21頁)

⑭ 発明の名称 半導体装置及び半導体記憶装置

⑮ 特 願 平1-45403

⑯ 出 願 平1(1989)2月28日

優先権主張 ⑰ 昭63(1988)11月21日 ⑱ 日本(JP) ⑲ 特願 昭63-292499

⑳ 発 明 者 久 本 大 東京都分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉑ 発 明 者 加 賀 徹 東京都分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉒ 発 明 者 木 村 紳 一 郎 東京都分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉓ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉔ 代 理 人 弁理士 中村 純之助

最終頁に続く

明 細 書

置。

1. 発明の名称

半導体装置及び半導体記憶装置

2. 特許請求の範囲

1. 基板上にソース電極とドレイン電極とを設け、さらに該ソース電極及びドレイン電極間にチャネルと、該チャネルに絶縁膜を介して電界効果を及ぼすゲート電極とを設けた電界効果トランジスタを有する半導体装置において、上記チャネルは、少なくともその一部分が基板にほぼ垂直な半導体層に設けられ、上記チャネルを流れる電流の方向は基板とほぼ平行であることを特徴とする半導体装置。

2. 上記電界効果トランジスタのチャネルは、その垂直方向の下部の上記基板との間の少なくとも一部分に絶縁層が配置されていることを特徴とする請求項1記載の半導体装置。

3. 上記チャネルは、基板と実質的に絶縁されていることを特徴とする請求項1記載の半導体装

4. 基板上に、電荷結合部と、該電荷結合部に絶縁膜を介して作用する複数のゲート電極とを設けた電荷結合素子を有する半導体装置において、上記電荷結合部の少なくとも一部分が基板とほぼ垂直な半導体層に設けられ、上記電荷結合部における電荷転送の方向は基板とほぼ平行であることを特徴とする半導体装置。

5. 基板上に少なくとも二個のトランジスタを有し、該トランジスタの少なくとも一個は、ソース電極、ドレイン電極、チャネル及び該チャネルに絶縁膜を介して電界効果を及ぼすゲート電極を有する電界効果トランジスタである半導体記憶装置において、上記電界効果トランジスタのチャネルは、少なくともその一部分が上記ソース電極及びドレイン電極の間に基板にほぼ垂直に配置され、該チャネルを流れる電流の方向は基板とほぼ平行であることを特徴とする半導体記憶装置。

6. 上記チャネルは、基板と実質的に絶縁されて

いることを特徴とする請求項5記載の半導体記憶装置。

7. 基板上にソース電極とドレイン電極とを設け、さらに該ソース電極及びドレイン電極間にチャネルと、該チャネルに絶縁膜を介して電界効果を及ぼすゲート電極とを設けた電界効果トランジスタを少なくとも二個有する半導体装置において、上記各々のチャネルは、少なくともその一部分が基板にほぼ垂直な半導体層に設けられ、上記チャネルを流れる電流の方向は基板とほぼ平行であり、上記二個のチャネルの間に上記トランジスタの少なくとも一個のゲート電極が配置されていることを特徴とする半導体装置。

8. 基板上にソース電極とドレイン電極と、該ソース電極及びドレイン電極間に配置されたチャネルと、該チャネルに絶縁膜を介して電界効果を及ぼすゲート電極とを設けた電界効果トランジスタを少なくとも一個及び容量を少なくとも一個有する半導体記憶装置において、上記チャネルは、少なくともその一部分が基板にほぼ垂

直な半導体層に設けられ、上記チャネルを流れる電流の方向は基板とほぼ平行であることを特徴とする半導体記憶装置。

9. 上記チャネルは、基板と実質的に絶縁されていることを特徴とする請求項8記載の半導体記憶装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、絶縁ゲート型電界効果トランジスタを有する半導体装置及び半導体記憶装置に関する。〔従来の技術〕

従来のMOS型電界効果トランジスタ（以下MOSFETと略す）について図面を用いて説明する。代表的な構造を第22図(a)に平面レイアウトで示し、このA-A'断面による断面構造を第22図(B)に示す。

この素子は、チャネル及びソース、ドレイン電極として用いる活性領域19の周囲に厚い絶縁膜21を形成することで活性領域19を分離し、この活性領域19にゲート絶縁膜を形成したうえに

ゲート電極30を形成し、このゲート電極30をマスクとしてイオン打ち込み法により自己整合的にソース電極40、ドレイン電極50を形成することで作られている。このデバイスを同一基板上で集積するとき、上記の酸化膜により行った活性領域の分離により電気的な分離がなされている。この酸化膜形成において、ゲート絶縁膜に比べ十分な厚さを確保することで、動作電圧がゲートに加えられてもこの酸化膜に覆われた部分は不活性状態を保たせることができる。この酸化膜を成長させるには、通常ウェット雰囲気中で酸化を行ない十分な膜厚まで酸化膜を成長させる。こうした酸化をフィールド酸化と、また成長した酸化膜をフィールド酸化膜と呼ぶ。以下ここでもこの用語をもちいる。

上記素子において集積度を高めると、例えば図中xで示したデバイス間隔が近づいてくると、図中aの矢印で示したフィールド絶縁膜21下を電流が流れ易く成る問題が生じてくる。

このような不要な電流パスを無くするため、

第23図に示すチャネル下に絶縁膜20を敷いたSOI(Silicon On Insulator)基板構造が考えられてきた。

この絶縁物上に形成したFETについては、アイ、イー、イー、イー、エレクトロン、デバイス、レター、第9巻第2冊の第97頁から第99頁(IEEE Electron Device Letters, vol.9, No.2, Feb.(1988)pp.97~99)において論じられている。

この構造は、酸素をイオン打ち込みすることで形成されたシリコン酸化物層を絶縁層20として内部に有する基板10上にトランジスタを形成している。トランジスタは、上記基板表面の半導体上にゲート絶縁膜を付け、ゲート電極30を形成したのち、ゲートに対しイオン打ち込み法を用いて自己整合的にソース電極40、ドレイン電極50を形成して製造する。このトランジスタは、平面レイアウト的には第22図(a)に示した通常のMOSFET構造と同じ構造をとっている。

さらに、ここに見られる構造の特徴として、絶

絶縁膜20上のシリコンの厚さdすなわちチャネルの厚さを0.1 μ m程度以下の薄膜にしたことを上げられる。第22図に示した構造では、ゲートから離れた基板内部では、ゲートの電界効果が及び難くなっている。これに対して第23図に示した構造では、こうした電界効果の及びにくい領域を絶縁物に置き換えている。そのためゲートにより良好なデバイス動作の制御を行うことができる。【発明が解決しようとする課題】

上記従来技術の構造では、デバイスの流す電流量Iとチャネル幅Wとの間には、

$$I \propto W$$

の関係があるため、Wを小さくするとIも減少する問題があった。そのため、電流量を減らさずに平面的な寸法を小さくすることができなかった。

本発明の目的は、高集積化に好適な半導体装置及び半導体記憶装置を提供することにある。

【課題を解決するための手段】

上記目的は、(1)基板上にソース電極とドレイン電極とを設け、さらに該ソース電極及びドレ

イン電極の少なくとも一個は、ソース電極、ドレイン電極、チャネル及び該チャネルに絶縁膜を介して電界効果を及ぼすゲート電極を有する電界効果トランジスタである半導体記憶装置において、上記電界効果トランジスタのチャネルは、少なくともその一部分が上記ソース電極及びドレイン電極の間に基板にほぼ垂直に配置され、該チャネルを流れる電流の方向は基板とほぼ平行であることを特徴とする半導体記憶装置、(6)上記チャネルは、基板と実質的に絶縁されていることを特徴とする上記5記載の半導体記憶装置、(7)基板上にソース電極とドレイン電極とを設け、さらに該ソース電極及びドレイン電極間にチャネルと、該チャネルに絶縁膜を介して電界効果を及ぼすゲート電極とを設けた電界効果トランジスタを少なくとも二個有する半導体装置において、上記各々のチャネルは、少なくともその一部分が基板にほぼ垂直な半導体層に設けられ、上記チャネルを流れる電流の方向は基板とほぼ平行であり、上記二個のチャネルの間に上記トランジスタの少なくとも

イン電極間にチャネルと、該チャネルに絶縁膜を介して電界効果を及ぼすゲート電極とを設けた電界効果トランジスタを有する半導体装置において、上記チャネルは、少なくともその一部分が基板にほぼ垂直な半導体層に設けられ、上記チャネルを流れる電流の方向は基板とほぼ平行であることを特徴とする半導体装置、(2)上記電界効果トランジスタのチャネルは、その垂直方向の下部の上記基板との間の少なくとも一部分に絶縁層が配置されていることを特徴とする上記1記載の半導体装置、(3)上記チャネルは、基板と実質的に絶縁されていることを特徴とする上記1記載の半導体装置、(4)基板上に、電荷結合部と、該電荷結合部に絶縁膜を介して作用する複数のゲート電極とを設けた電荷結合素子を有する半導体装置において、上記電荷結合部の少なくとも一部分が基板とほぼ垂直な半導体層に設けられ、上記電荷結合部における電荷転送の方向は基板とほぼ平行であることを特徴とする半導体装置、(5)基板上に少なくとも二個のトランジスタを有し、該トラ

も一個のゲート電極が配置されていることを特徴とする半導体装置、(8)基板上にソース電極とドレイン電極と、該ソース電極及びドレイン電極間に配置されたチャネルと、該チャネルに絶縁膜を介して電界効果を及ぼすゲート電極とを設けた電界効果トランジスタを少なくとも一個及び容量を少なくとも一個有する半導体記憶装置において、上記チャネルは、少なくともその一部分が基板にほぼ垂直な半導体層に設けられ、上記チャネルを流れる電流の方向は基板とほぼ平行であることを特徴とする半導体記憶装置、(9)上記チャネルは、基板と実質的に絶縁されていることを特徴とする上記8記載の半導体記憶装置によって達成される。

本発明において、チャネルは基板と実質的に絶縁されていることが好ましい。ここに実質的とは完全に絶縁されていなくても、その作動電圧において絶縁されている場合とほぼ同様の効果を及ぼすことである。また、半導体層は薄膜であることが好ましい。

【作用】

基板にほぼ垂直な半導体層にチャネルを設け、チャネルを流れる電流の方向を基板とほぼ平行としたFETにおいては、半導体層の高さを高くすることにより電流量を決めるチャネル幅を広げることができる。そのためゲートによる良好な電気特性を得る薄膜チャネル効果を損なうことなく、半導体層の高さを確保することで電流量を維持し、かつ、平面的には微細化したFETとすることができる。

【実施例】

以下、本発明の実施例を図面を用いて説明する。

第1図は、本発明の特徴を表した素子構造図である。基板と垂直に立つ薄膜半導体層は、絶縁層20により基板10と分離されている。ゲート電極30は、ゲート絶縁膜91を挟んで薄膜半導体層を取り囲んでいる。ゲートに覆われていない薄膜部が不純物を高濃度にドーピングし活性化したソース電極40及びドレイン電極50であり、その間のゲートに覆われた薄膜半導体層が基板面と

形成する。このパターニングはシリコン酸化膜によって行なってもよい。以下ここではこのように基板に垂直に立った、その一部をチャネルとして用いる層を、半導体層と呼ぶことにする。

このとき半導体層100の厚さをゲートの電界効果により延びるであろう空乏層幅より小さくすると薄膜トランジスタ動作を得ることができる。すなわち、ゲートにバイアスを加えチャネルがオン状態となるチャネル部表面が強反転した状態で、半導体層内は空乏状態ないし反転状態とすることができる。このため、半導体層内の正孔密度を低く抑える等のゲートによる制御を行なうことができる。

ゲートがゲート絶縁膜を介して基板側に伸ばす空乏層幅 X_d 、すなわち電界効果の及ぶ範囲は、

$$X_d = \sqrt{(2 \times K_s \times \epsilon_0 \times \phi_s / q \times N_s)}$$

とみることができる。

ここに K_s : 基板半導体の誘電率

ϵ_0 : 真空の誘電率

ϕ_s : 表面が強反転状態となるときの表

平行方向にチャネルを構成する。チャネルは、絶縁層20及びゲート絶縁膜91により囲まれているため、基板10と電気的に分離されている。

ゲート電極30はゲート絶縁膜91を介してチャネルに電界効果を及ぼし、ソース電極40とドレイン電極50により3端子電界効果型トランジスタ動作を行う。

この構造はP型チャネルトランジスタでもN型チャネルトランジスタでも同様に作ることができる。ここでは、N型チャネルトランジスタの形成方法を第2図を用いて説明する。第2図は、第2図(a)、(b)、(c)、(e)は第1図のa-a断面を示したものである。

(第2図(a)) P型シリコン基板表面を熱酸化して、20nm程度のシリコン酸化膜151を形成し、シリコン窒化膜701をCVD法により20nm程度堆積してから、レジスト201により細線状にパターニングし、さらにRIE法により基板を垂直に1μm程度エッチングし、基板と垂直に立つ厚み0.1μmの半導体層100を

面空乏層でのポテンシャル変化

q : 電子電荷量

N_s : 基板の不純物濃度

である。そのためシリコンチャネルにおいて、たとえば基板不純物濃度 $5 \times 10^{18} \text{ cm}^{-3}$ のとき $X_d = 0.1 \mu\text{m}$ 程度となる。本実施例では後の工程で説明するように、半導体層100は両側からゲート電極30によって電界効果が及ぼされる。そのため半導体層の膜厚を0.2μm以下に設定すればよい。

(第2図(b)) 上記薄膜形成後、レジストマスクを除去し、基板表面に20nm程度のシリコン酸化膜152を形成し、CVD法を用いてシリコン窒化膜を異方的にエッチングすることにより、薄膜側壁にシリコン窒化膜700を形成せしめる。上記基板をフッ酸系のエッチングによりシリコン窒化膜701及び700で覆われていない部分のシリコン酸化膜152を取り除き、さらに、フッ硝酸系のウェットエッチングにより

底部シリコンを軽くエッチングしてから1100℃のウェット雰囲気中でフィールド酸化することにより半導体層以外の基板表面に選択的に厚いフィールド酸化膜をつけることができる。この酸化膜が絶縁層20となる。このとき、半導体層底部は、両側より酸化膜が成長するため、延びてきた酸化膜がつながり、これによって半導体層100は基板10と分離される。

(第2図(c)) シリコン窒化膜700、701をウェットエッチングで取り除いた後、薄膜表面を酸化し熱酸化膜(図示せず)を形成し、フッ酸系の等方的なエッチングを行いこの熱酸化膜を除去することで、半導体層表面よりエッチングによるダメージを受けている層を取り除き、また、半導体層100の膜厚を所定のものに整える。このあと酸化により10nmの厚さのゲート酸化膜91を形成し、ゲートとなる多結晶シリコン30'を200nm程度堆積し、レジスト材によりパターンニングし、これをマスクにゲートをエッチングにより加工する。ゲート電極と半導体層間

30、ソース電極40、ドレイン電極50の表面に熱酸化膜(図示せず)を成長せしめた上にシリコン酸化物150を堆積したのち、ゲート電極30、ソース電極40、ドレイン電極50にコンタクトホールを開孔し各々配線を行う。コンタクトの形成は半導体層100の側面に接するようにすることで、コンタクト面積を大きくし、コンタクトの抵抗を小さくすることができる。

以上、第1図に示した素子構造の製造方法を示したが、この方法を改良した例を示す。第2図(b)工程において、エッチングによる半導体層形成に際し、側壁のみにシリコン窒化膜700を形成後、さらに半導体基板エッチングを追加することで、半導体層100の側壁下部にはシリコン窒化膜をつけない領域を形成できる(第2図(e))。この後にフィールド酸化すれば、半導体層100下の絶縁層20の形成を容易にすることができる。

また第2図(a)の工程において、半導体層上部にシリコン窒化膜701を予め堆積することで、

のゲート絶縁膜以外の半導体層表面のゲート酸化膜をフッ酸系ウェットエッチングにより除去しリンをドーピングすることでソース電極40、ドレイン電極50の拡散層及びゲート電極となる多結晶シリコン30'に高濃度のリンを導入し、熱アニールを加えることで不純物を活性化してソース、ドレイン及びゲートの各電極を形成する。このソース、ドレイン電極への不純物導入は、ゲートをマスクとしてイオン打ち込み法により行ってもよい。半導体層の両側面に対して基板と斜め方向からイオン打ち込みすることで形成できる。また半導体層の高さが低いとき、たとえば0.2μm程度のときには、イオン打ち込み後熱処理により不純物を広く拡散せずにソース、ドレイン電極が形成できること、また、打ち込みエネルギーを低く設定できるためフィールド酸化膜でイオン打ち込みの不純物を止めることができるため、基板面にほぼ垂直な方向から打ち込むことで形成してもよい。

(第2図(d)) この図は第1図b-b断面を示す。第2図(c)の工程の後に、ゲート電極

半導体上部の酸化を抑えたが、上部にはシリコン窒化膜を敷かずフィールド酸化することで、半導体上部にも酸化膜を形成することができる。この場合、半導体層上部の酸化膜は、後のゲート加工の際にエッチングのストッパー層として働く。

なお、半導体層の高さはトランジスタのチャネル幅を決める。そのため、半導体層を高くすることで、流れる電流量を増大できる。しかし、これを高くすることは、後工程においてソース、ドレインにコンタクトをとるとき高い半導体層上で行わなければならない、コンタクトの引出層形成が困難になる。そのため、第2図(f)に他の実施例の横断面図を示す様に、チャネル以外の半導体層の高さを低くすることで回避することができる。

本発明構造では、ゲート電極がチャネルとなる半導体層を乗り越えるため、従来の平面型MOSFETにくらべゲート長が実効的には長くなる。そのため、ゲート配線抵抗が増大する問題がある。しかし第2図(g)に示すようにゲート電極30の多結晶シリコンの堆積を隣接チャネル間の幅の

1/2以上の厚さにするとゲート上部はほぼ一様につながる事ができ、ゲート抵抗を従来構造程度とすることができる。また、第2図(g)にあるように、このゲート電極上にタングステンシリサイド層30'を設けたり、ゲート電極30をシリサイドに置換することでゲート電極の配線抵抗を減らすことができる。この構造ではデバイスのオン、オフ状態を決めるゲートバイアスの閾値はゲート材の仕事関数に強く依存してくる。そのためゲート材に適当な仕事関数をもつシリサイド等の材料を用いることで、回路動作上必要とされる閾値を設定することができる。

本発明の素子は、基板とは絶縁されているため同一基板上又はチップ上において集積しても、各々は独立した素子であり、素子間の分離は良好におこなうことができる。そのため従来のCMOS構造で問題視されていたラッチアップをおこしにくく、また、 α 線や宇宙線等の引き起こすソフトウェアも避けることができる。

半導体層の厚さをより薄くすると、ゲート電極

によるチャネル制御がより強く働く。そのため、シリコンチャネルにおいて0.1 μ mないし0.05 μ m程度にすることで良好な薄膜トランジスタ特性を得ることができる。

ここでは、酸化法を用いてSOI基板構造を形成したが、基板内に高濃度の酸素をイオン打ち込みし、基板内部に酸化膜層を形成したSOI基板(いわゆる"SIMOX")或は、酸化膜層上にシリコン再結晶層を形成してできたSOI基板、或は、シリコン酸化物層を挟んでシリコン単結晶層を張り合わせる事により形成したSOI等の基板や、SOS(Silicon On Sapphire)基板を用いて、本発明デバイス構造を作ることができる。

なお、半導体層の下部に両側から延びる絶縁層がつながらない状態では、素子と基板との電気的絶縁分離の効果は失われる。しかし、薄膜半導体に作るチャネルに対し、両側のゲートが行う電界効果による良好なチャネル電気特性の制御や、高集積化に好適等の素子の特徴を保つことができる。

第3図はそのような素子構造を示したもので、第3図(a)は平面図、第3図(b)は同図(a)のA-A'断面図、第3図(c)は同図(a)のB-B'断面図である。2個のトランジスタの半導体層100がゲート電極30を共有する構造である。第3図(c)に示すように、このような構造では、ソース、ドレイン電極拡散層フィールド酸化膜より浅めに半導体層100内に形成しゲート電極をこれより深く形成することでより安定した電気特性を得ることができる。こうした基板結晶と薄膜がつながる構造では、開孔部をもつ絶縁層20を基板上に形成し、開孔より基板結晶をエピタキシャル生長させ、半導体層100を得ることができる。

第4図は、本発明をDRAMセルに応用した実施例を示すもので、第4図(a)は平面図、第4図(b)は側面透視図である。第1図に示したトランジスタのソース電極に配線によるコンタクトをとる代わりに、ゲート絶縁膜同様にソース電極周囲を容量絶縁膜90で覆い、その上にプレート

電極60を付けることにより、容量部41を形成できる。第4図では、ワード線31及びビット線80により2ビットのメモリを構成している。第4図に示すように容量部41のレイアウトを複雑化し、T字型とすることで表面積を増大させ容量を増やすことができる。

また、第4図(c)、(d)、(e)に示すように薄膜半導体上に容量部41を積み上げて容量を増大させることができる。第4図(c)は平面図、第4図(d)は(c)のA-A'線での断面図である。ソース電極40、ドレイン電極50のチャネル側に低濃度不純物拡散層45、55を形成し、DDD型のトランジスタを形成した。また第4図(e)は他の実施例で、図に示すようにワード線31形成後、ビット線80を形成し、その後容量部41を積み上げて良い。

第5図は、本発明をトレンチ型のDRAMセルに用いた実施例を示す素子断面図、第6図は、その製法を示す工程図である。

第5図において容量部41は基板に掘ったトレ

ンチ96内部にあり、その周囲を容量絶縁膜90を挟んで基板プレート60'により構成される。

フィールド酸化膜20上の半導体層100を用い、ワード線31をゲートとする薄膜トランジスタを介してビット線80から容量部41に電荷情報を書き込むことができる。

本発明構造であるトランジスタは、基板と電気的には分離されているため、基板から電気的な影響を受けることがない。そのため、プレートすなわち基板の電位は任意に設定可能である。ここでは、基板をプレートとして用いているが、基板に形成した基板より不純物濃度を高くして導電性を高めたウェル層によりプレートを構成しても同様である。

第6図を用いて第5図の実施例における素子の形成法を説明する。

(第6図(a)) ボロンを濃度 $1 \times 10^{12} \text{ cm}^{-2}$ イオン打ち込みし熱処理により拡散してp型ウェル11を形成したシリコン基板10表面を熱酸化し、20nm程度の酸化膜(図示せず)

をエッチングしトレンチ上部の側壁900を開口したのち、再び多結晶シリコンの堆積及びエッチバックを繰り返すことで、トレンチ内部に多結晶シリコンを詰め込み、容量部41を形成する。その後、シリコン窒化膜701を熱リン酸系のウェットエッチングにより除いてから、シリコン酸化物を20nm堆積(図示せず)し、再びシリコン窒化膜701'を50nm堆積した後、半導体層を形成するためのレジスト201をパターンニングする。

上記工程において、シリコン酸化物及びシリコン窒化膜の堆積を行わずにつぎの工程で半導体層の形成と熱酸化を行ってからシリコン窒化膜の堆積を行ってもよい。

(第6図(c)) 上記レジスト201のマスクをもとに基板を垂直にエッチングし、トランジスタとなる半導体層100を形成する。該半導体層100を熱酸化し、半導体層表面に10nmの酸化膜を成長させてから、シリコン窒化膜702を20nm堆積し、容量部41と半導体層100

を形成し、その上にシリコン窒化膜701をCVD法により20nm程度堆積してから、レジストにトレンチパターンを形成する。これをマスクにRIE法により異方的にシリコン窒化膜701をエッチングし、さらにRIE法により基板を垂直に5μm程度エッチングしてトレンチを形成した後レジストを除去し、トレンチ表面に容量絶縁膜90を形成する。

(第6図(b)) 上記基板全面に多結晶シリコンをCVD法によりトレンチ径の1/2程度以上堆積したのちエッチバックし、基板表面より500nm程度の深さまで多結晶シリコンを除去し、トレンチ内部に容量部となる多結晶シリコンを残す。エッチバック法とは異方的エッチング等でできた基板上の溝パターンのもっともひろい幅の1/2以上の厚さまで等方的な堆積をすると基板表面がほぼ平坦化されることを利用し、堆積後に基板に垂直なエッチングをおこなうことで、形成されていた溝部分のみに堆積物を残す方法である。

上記多結晶シリコンをマスクに容量絶縁膜90

との接続部及び半導体層100を保護するため、半導体層100に接するトレンチ上面の一部に引出部形成用マスクをかけてから、異方的にエッチングすることで半導体層100及びトレンチ引出部をシリコン窒化膜701'、702により覆う。ここでウェル不純物をさらに $1 \times 10^{12} \text{ cm}^{-2}$ にイオン打ち込みすることでチャネルとは別に、プレート電極となる基板の不純物濃度及びp型を設定できる。

(第6図(d)) 上記基板よりレジストを除去し、フィールド酸化することで厚い絶縁膜20を形成し、チャネルとなる半導体層100を基板より絶縁分離する。このとき、半導体層100と容量部41とを電氣的に接続する部分は、前記シリコン窒化膜702で被覆されているので、酸化膜が成長せず電氣的導通が保持される。こののちシリコン窒化物702を除去する。

(第6図(e)) 薄膜表面を酸化し20nmの厚さのゲート絶縁膜(図示せず)を形成した後、ワード線31を形成する。以下配線等の工程は、

第一実施例と同様である。

本実施例においては、トレンチ容量一個に対して薄膜半導体で構成されたトランジスタは一個である。これに対して、チャネルとなる半導体層を1つのトレンチ容量に対し複数個形成することで、実質的にトランジスタのチャネル幅を増やし、流れる電流を増大させることができる。

本発明構造のデバイスを選択トランジスタとして用い、チャネルを縦型の薄膜化することで平面的なスペースを縮小することができる。第7図に示すように、DRAMにおいて従来アイソレーション領域としてのみ用いられてきた領域をトランジスタ領域として有効に使うことができる。このため、メモリセル面積の減少、或は、蓄積容量を増大する効果がある。第7図(a)は2セルを持つDRAMの平面配置図であり、第7図(b)は、第7図(a)のA-A'断面、第7図(c)は、第7図(a)のB-B'断面である。

容量部41は隣接容量部間のアイソレーションに必要な領域を除き、メモリセル内に最大限の面

積を持つようにレイアウトできる。半導体層100は、この容量部41を挟み、ワード線31がその容量部の上を横切ることができる。また、トレンチ開口部250を除いて表面がフィールド酸化膜20に覆われているため、その上部に作るコンタクト等の形成にとって、容量部41のレイアウトを考慮しなくて良い。

第8図は、微細なメモリセル面積を実現し得るDRAM用メモリセルの実施例である。一つの薄膜半導体を選択トランジスタのチャネルとして用いた2交点型のメモリセル配置を示している。

第9図は、チャネル薄膜100をトレンチマスクと自己整合的に形成したものである。第9図(a)は2つのセル配置を示した平面図、第9図(b)は、(a)のA-A'断面、第9図(c)は(a)のB-B'断面である。

(第10図(a)) 基板上に500nm程度のシリコン酸化物211を堆積した上から、トレンチを形成するためのパターニングを行ないそれをマスクにトレンチを形成する。容量部41をト

レンチ内に形成後、レジストを塗布し、エッチングバックすることで、シリコン酸化物表面までレジスト210を詰める。

第10図(b)) その後、シリコン酸化物211を除去し、基板面とレジストの段差を用いてレジスト側壁にスペーサ212を付ける。このように段差のあるパターン上に等方的に一樣な厚さの堆積を行なったのち、基板と垂直に堆積した膜厚だけエッチングすると段差側壁にのみ堆積物を残すことができる。以下このようにして形成した堆積物をスペーサと呼ぶことにする。上記スペーサをマスクに基板をエッチングすることで、トレンチパターンと自己整合化した半導体層101を形成することができる。

第10図(c)は、他の実施例を示し、トレンチ周囲の半導体層100へ容量部41から引出層300を用いて接続してもよい。

第11図(a)は2交点配置における2セルの平面配置図、第11図(b)は(a)のA-A'断面、第11図(c)は(a)のB-B断面であ

る。トレンチ96内の容量部41は、トレンチ開口部250から引出層300により半導体層100と接続する。引出層300は、ワード線31、31'側壁にシリコン酸化物によるスペーサ310を形成することでワード線31、31'と自己整合的に形成することができる。

第12図は、半導体層100を隣接セル間の基板シリコンを利用して設けた時の2交点配置を示す平面図である。容量部41は引出層300により半導体層100に接続されている。ワード線31により、半導体層100に選択トランジスタが構成され、ビット線コンタクト400を介しデータ線(図示せず)につながる。

第12図に示した素子は、次のようにして製造する。第13図に示すように、基板にトレンチを開孔し容量部41を形成後、等方的にエッチングすることで突起部を細らせ、所定の厚さの半導体層100を形成する。この工程で、熱酸化により半導体層表面層を酸化膜にし、シリコン酸化物を除去することで突起部を細らせ、半導体層100

を形成しても良い。これらの手法によれば、隣接トレンチ間に自己整合的にチャネルとなる半導体層を形成することができる。そのため、隣接トレンチとの距離を一樣にすることができるため、高集積するのに好適である。その後、フィールド酸化膜形成後、チャネルに使わない半導体層100を除去することで、自己整合的に半導体層100を形成できる。この除去工程は、チャネル等として用いるアクティブ領域をマスキングしたうえでエッチングすればよい。またアクティブ領域以外の薄膜半導体を熱酸化等により不活性化することでアクティブ領域と分離しておいてもよい。

また、トレンチを形成するとき、0.1～0.2 μ m程度の間隔でエッチングすることで、トレンチと半導体層100を同時に形成することができる。第14図(a)は2交点での4ビットのメモリセル平面配置図、第14図(b)は(a)のA-A'断面図、第14図(c)は(a)のB-B'断面図である。第14図(d)は他のメモリセル平面配置図である。

41をプレート電極60'で囲むようにしてもよい。このときプレート電極60'及び容量部41は、ともに例えば多結晶シリコンで作ることができるため、絶縁膜中の、或は絶縁膜を形成する際の不純物が基板表面或は基板内を汚染する危険が小さく、従って容量絶縁膜90にTa₂O₅、Hf酸化物等様々な材料を使うことができる。第15図(a)は1セルの平面配置図、第15図(b)は(a)のA-A'断面図である。第15図の実施例である半導体装置を形成するには、第14図において、トレンチ形成後、側壁にシリコン酸化膜150を形成し、プレート電極60を形成する。さらに容量絶縁膜90を形成後、容量誘電電極43を詰めることで容量部を形成できる。

第16図は1交点配置による他の実施例である。(a)は2セルの平面図、(b)は(a)のA-A'断面図である。

また、第17図に示すように半導体層100を十分に薄くすることで、片側のみにゲートを付けてもよい。この素子では半導体層は0.1 μ mの

第14図に示す実施例において、基板表面に厚さ500nm程度のフィールド酸化膜25を熱酸化により形成してからトレンチ96を開孔することで、部分的にシリコン酸化物層25を持つ半導体層100を形成することができる。この装置においては、隣接する電極間が初めに設けたフィールド酸化膜25により電気的に分離されているため、薄膜半導体の下に形成したフィールド酸化膜20の形成が不十分であっても、セル間のリークは抑えられる。また、トレンチ96を平面的にみて凹型に形成することで引出層300を形成する際、隣接するトレンチとの分離余裕 α や薄膜半導体との合わせ余裕 β を大きくすることができる。また、(d)に示すようにトレンチを対称の位置に配置してもよい。

この実施例の構造では、容量部も基板とともにフィールド酸化して分離するため、容量部の形成時にチャネルを形成するための制約がすくなくてすむ。

他の実施例として第15図に示すように容量部

薄膜に設定すればよい。第17図(a)は1ゲートでの平面配置図、(b)は(a)のA-A'断面図である。半導体層100の片側にシリコン酸化物によるスペーサ500を形成し、その上をゲート電極30を走らせ、ソース電極40、ドレイン電極50とでトランジスタ動作を得ることができる。

第17図(c)は他の実施例で、図に示すように段差部501において、半導体層100を用いてトランジスタを形成してもよい。

第18図は、本発明構造のトランジスタを用いて、5段のCMOSインバータチェーンを形成したものである。第18図(a)は、平面配置図、第18図(b)は(a)のA-A'断面図である。梯状の薄膜半導体層103がNMOSを構成し、薄膜半導体層104がPMOSを構成する。また、この実施例においてゲート30側壁にシリコン酸化物によるスペーサ500形成後、シリコン薄膜表面を金属、例えばタングステン等との反応でできるシリサイド層600を設け、薄膜半導体層の

導電性を高めることができる。従来のソース、ドレインとなる拡散層では、抵抗や基板との寄生容量により、配線層として用いることが困難であったが、本実施例においては、1層目の配線層として用いることができる。また、各々の素子が独立しているため、集積しても容易に素子間のアイソレーションを保つことができる。

また、半導体層100を用いてバイポーラトランジスタを作ることができる。このとき、MOSFETと同様に形成することができるため、MOSFETとバイポーラを併せもつ回路を形成することが容易にできる。第19図(a)はその1例の平面レイアウト図、同図(b)は等価の回路図を示したものである。第19図A-A'によるMOS部の断面を第20図(a)に示し、第19図B-B'によるバイポーラ部の断面を第20図(b)に示した。バイポーラはMOSのゲート加工時にシリコン酸化物でベース801上にマスクを形成し、インプラ法によってエミッタ800、コレクタ802領域を形成することができる。こ

のとき、マスク側壁にスペーサ805を形成し、その前後2度インプラすることで片側のみ2段の濃度分布を持つようにすることができる。これによって中濃度領域802'を形成することができる。

同様にバイポーラトランジスタとMOSFETを併せもつ回路を形成した他の半導体装置の平面レイアウト図を第21図(a)に、その等価回路図を同図(b)に示す。この装置の形成も第19図に示した例と同様な方法で行なうことができる。

第24図に2トランジスタによるDRAMセルを本発明構造のトランジスタを用いて形成した例を示す。(a)は等価回路図、(b)は素子の断面図、(c)は(b)のA-A'切断面(b)とは直交する向きの断面構造を示したものである。半導体層100上に選択トランジスタ α とメモリ部トランジスタ β を形成する。トランジスタ β は、半導体層100を裏側のゲート電極32とし、その上にゲート酸化後多結晶シリコンを500Å程度CVD法により堆積し、チャネル910を形成

し、さらにゲート酸化膜91を付けてから上部ゲート電極30を形成する。チャネル910では裏側のゲート電極32の電位すなわちゲート電極32に蓄えられた電荷量によってゲート電極30の V_{th} が変化する。この変化を読みだすことでメモリ素子として動作させることができる。

第25図(a)はSRAMのメモリセル等価図である。ここで基板の記号を用いてPMOS、NMOSを表示してある。本発明構造トランジスタでは基板を分離しているため、トランジスタ間の分離を容易であることから近付けて配置することができる。そのため、本トランジスタは、SRAM構造のようにトランジスタを高集積する必要性の高いときに有効である。

第25図(b)、(c)に実照の素子構成例を示す。第25図(b)は平面レイアウト図、同図(c)は(b)のA-A'断面図を示す。

第25図(b)の α で示した枠が1ビットのメモリセルを構成しており、(b)は2ビットのセル配置例を示している。第25図においてワード

線31をゲートとするトランジスタ(a)、(b)は半導体層100を用いて形成されている。トランジスタ(c)、(d)は、トレンチ96により基板内部の埋め込み n^+ 層61とゲート30による縦型のトランジスタによって形成されている。ゲート30と半導体層100はコンタクト402により接続している。トランジスタ(e)、(f)は、ゲート30上に積み上げた多結晶シリコン30'をチャネルとするポリシリコンMOSトランジスタで形成されている。このチャネル層30'はゲート30上に堆積したゲート絶縁膜92を介しゲート30層により制御される。多結晶シリコン層30'はトレンチ96パターン上で各々対となるゲート30とコンタクトをとり、他端をコンタクト403を介して電源線51につながる。

第26図に示すように本発明構造では、ゲートを重ねることで、電荷結合素子(CCD)を作ることができる。 $1 \times 10^{16} \text{ cm}^{-3}$ 濃度のP型半導体層100の周囲に $1 \times 10^{17} \text{ cm}^{-3}$ のN型

中濃度不純物層 803 を形成しゲート絶縁膜 90 をつけ、その上にゲート電極 30 を形成し、ゲート電極 30 の上を選択的に酸化してシリコン酸化膜層 102 を形成したうえにゲート電極 30 に重なるようにゲート電極 32' を形成する。ゲート電極に対し順次バイアスを加えることで半導体層 100 中を電荷を転送することができる。

【発明の効果】

本発明によれば、高集積でかつ良好な電気特性を有する薄膜トランジスタを有する半導体装置を得ることができる。またこの薄膜トランジスタを用いて、集積化に好適で、かつ、良好な電気特性をもった半導体記憶装置を得ることができる。

4. 図面の簡単な説明

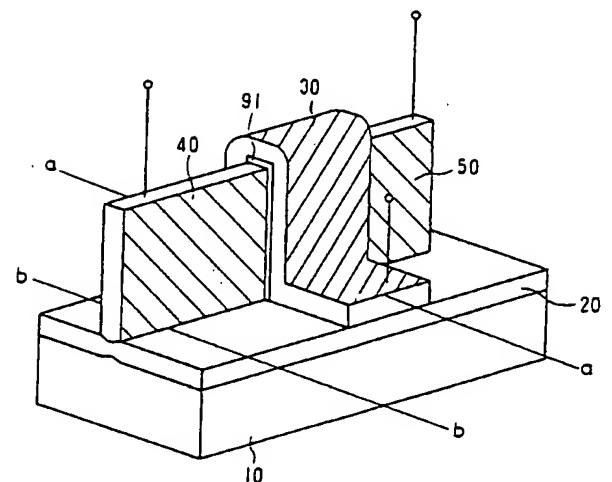
第1図は、本発明の一実施例の半導体装置の構造図、第2図は第1図に示した半導体装置の製造方法を示す工程図及び他に実施例の半導体装置の製造方法を示す工程図、第3図、第4図、第5図は本発明のさらに他の実施例の断面図、平面図及び側面透視図、第6図は第5図に示した実施例の

製造方法を示す工程図、第7図、第8図、第9図、第10図、第11図、第12図、第13図、第14図、第15図、第16図、第17図、第18図及び第20図は、本発明のさらに他の実施例の断面図及び平面図、第19図は第20図に示した実施例の平面レイアウト図及び回路図、第21図はさらに他の実施例の平面レイアウト図及び回路図、第22図及び第23図は、従来の半導体装置の断面図及び平面レイアウト図、第24図、第25図及び第26図は本発明のさらに他の実施例の平面図、断面図及び回路図である。

10…基板 11…ウェル
19…活性領域 20…絶縁層
21…絶縁膜 25…フィールド酸化膜
30、32、32'…ゲート電極
30'…多結晶シリコン
31、31'…ワード線 40…ソース電極
40'…ソース配線 41…容量部
45、55…低濃度不純物層
50…ドレイン電極 51…電源線

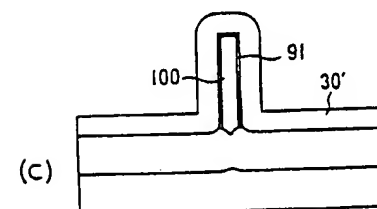
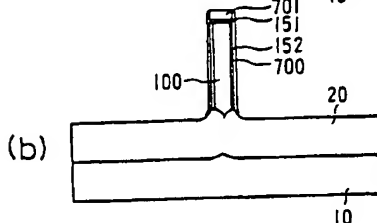
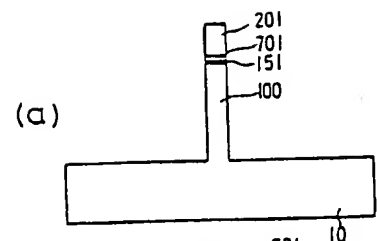
60…プレート電極 60'…基板プレート
61…埋め込み n⁺ 層 80…ビット線
90…容量絶縁膜 91…ゲート絶縁膜
96…トレンチ 100、101…半導体層
102…シリコン酸化物層
103、104…薄膜半導体層
150、151、152、211…シリコン酸化物
201、210…レジスト
212、310、500、805…スペーサ
250…トレンチ開口部 300…引出層
400…ビット線コンタクト
402、403…コンタクト
501…段差部 510…インプット孔
660…シリサイド層
700、701、701'、702…シリコン窒化膜
800…エミッタ 801…ベース
802…コレクタ
802'、803…中濃度領域
900…側壁 910…チャネル

代理人弁理士 中村純之助



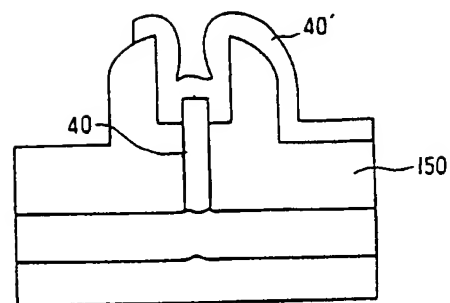
10…基板
20…絶縁層
30…ゲート電極
40…ソース電極
50…ドレイン電極

第1図

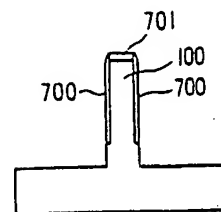


10...基板
20...絶縁層
30...ゲート電極
30'...多結晶シリコン
100...半導体層
151,152...シリコン酸化膜
201...レジスト
700,701...シリコン窒化膜

第 2 図



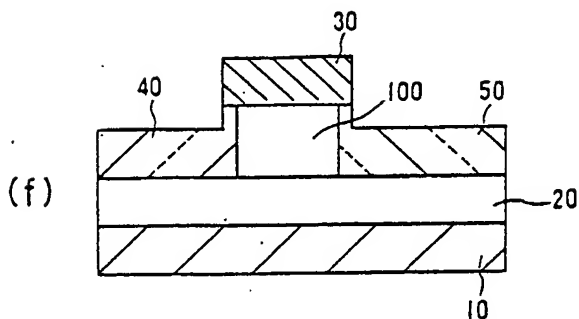
(d)



(e)

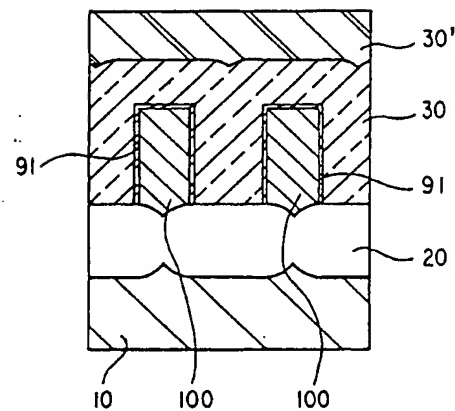
第 2 図

40...ソース電極
40'...ソース配線
150...シリコン酸化膜



20...絶縁層
30...ゲート電極
40...ソース電極
50...ドレイン電極
100...半導体層

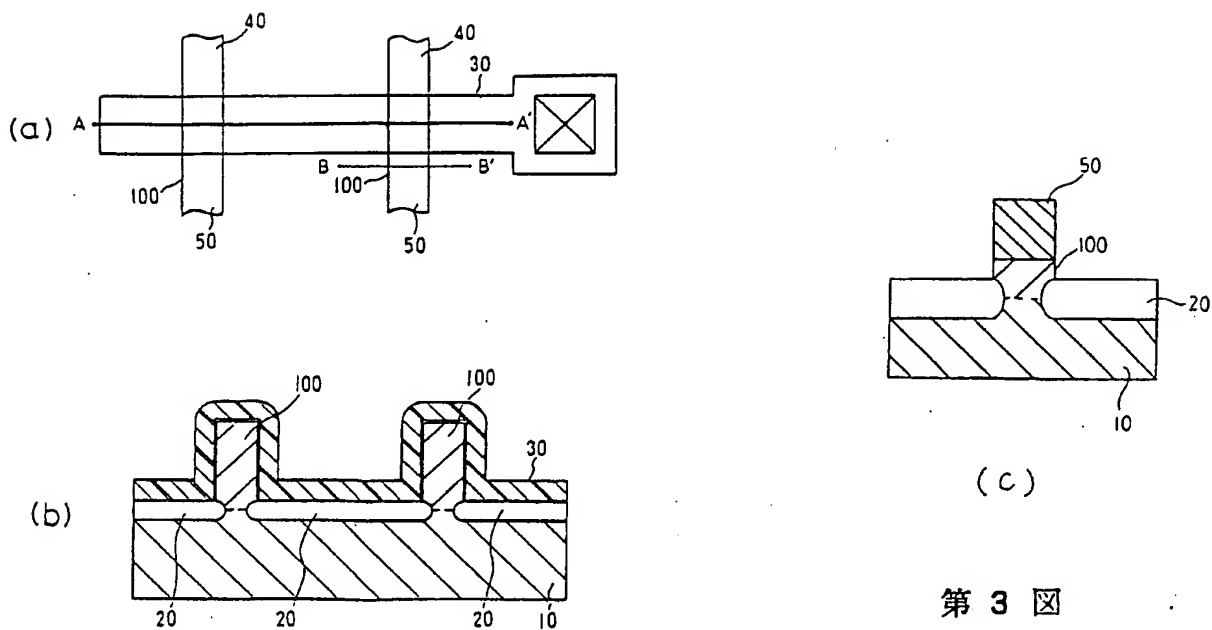
第 2 図



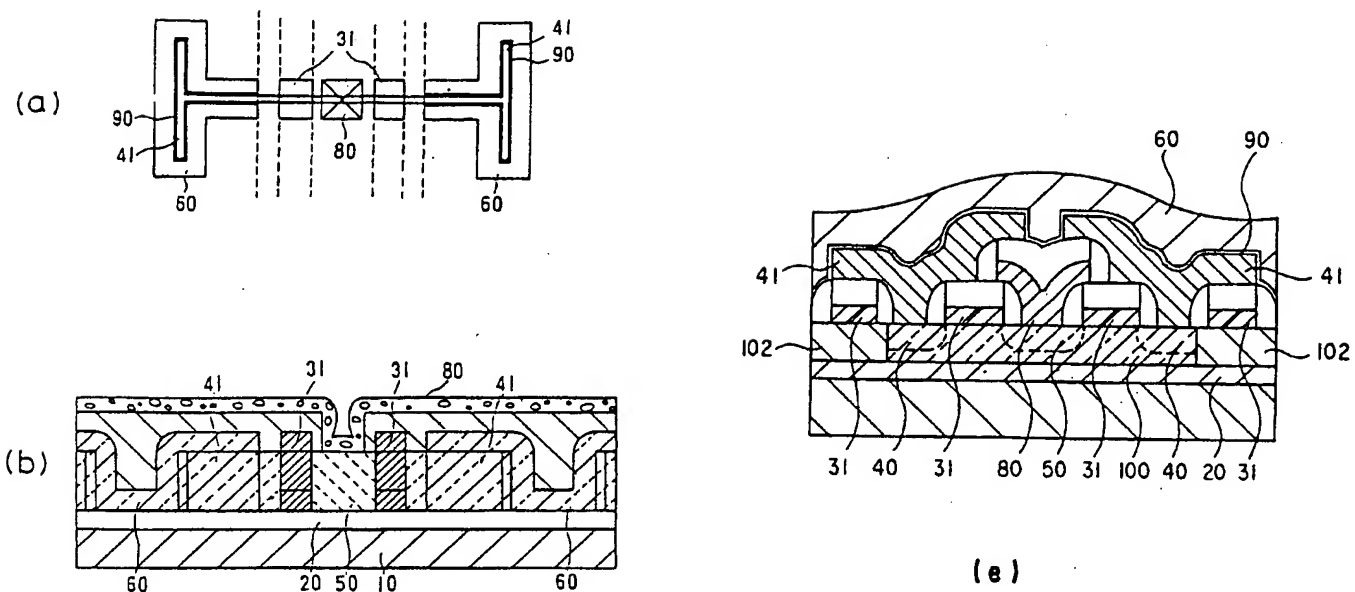
(g)

20...絶縁層
30...ゲート電極
30'...多結晶シリコン

第 2 図



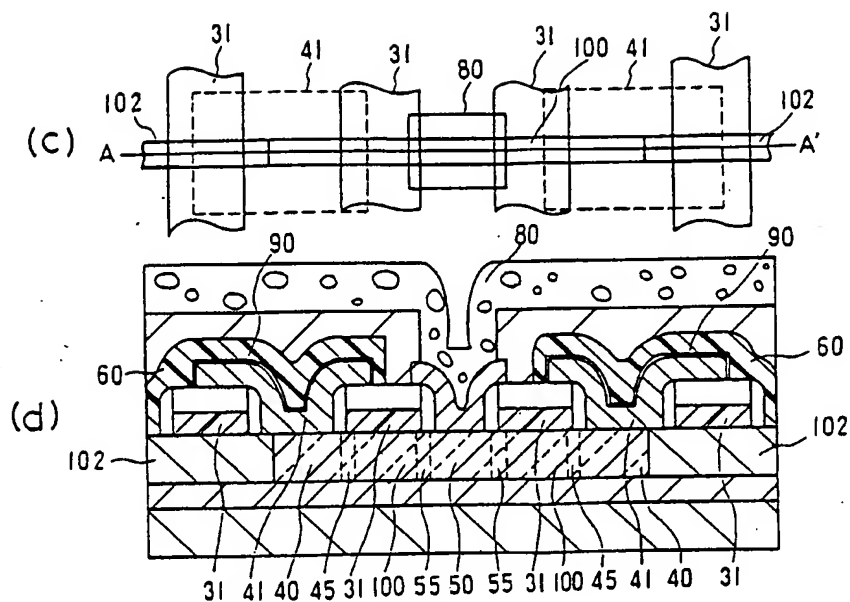
第 3 図



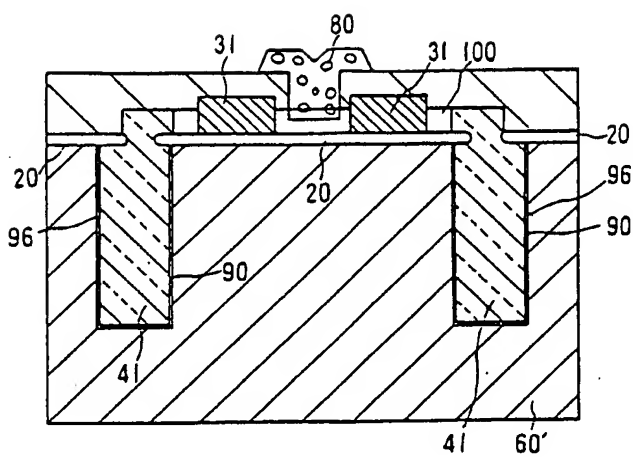
31...ワード線
41...容量部
50...ドレイン
60...プレート電極
80...ビット線
90...容量絶縁膜

第 4 図

第 4 図

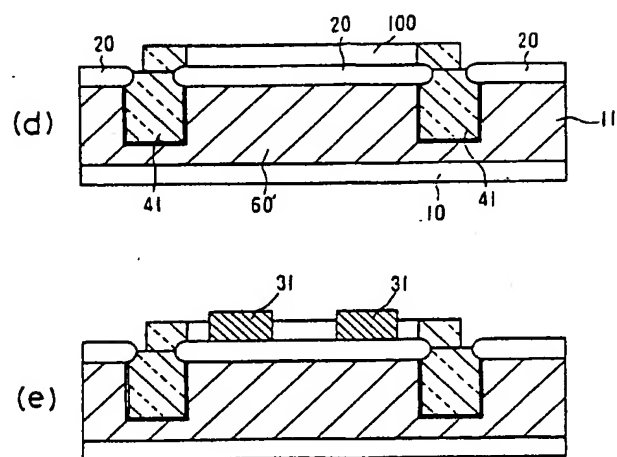


第 4 図



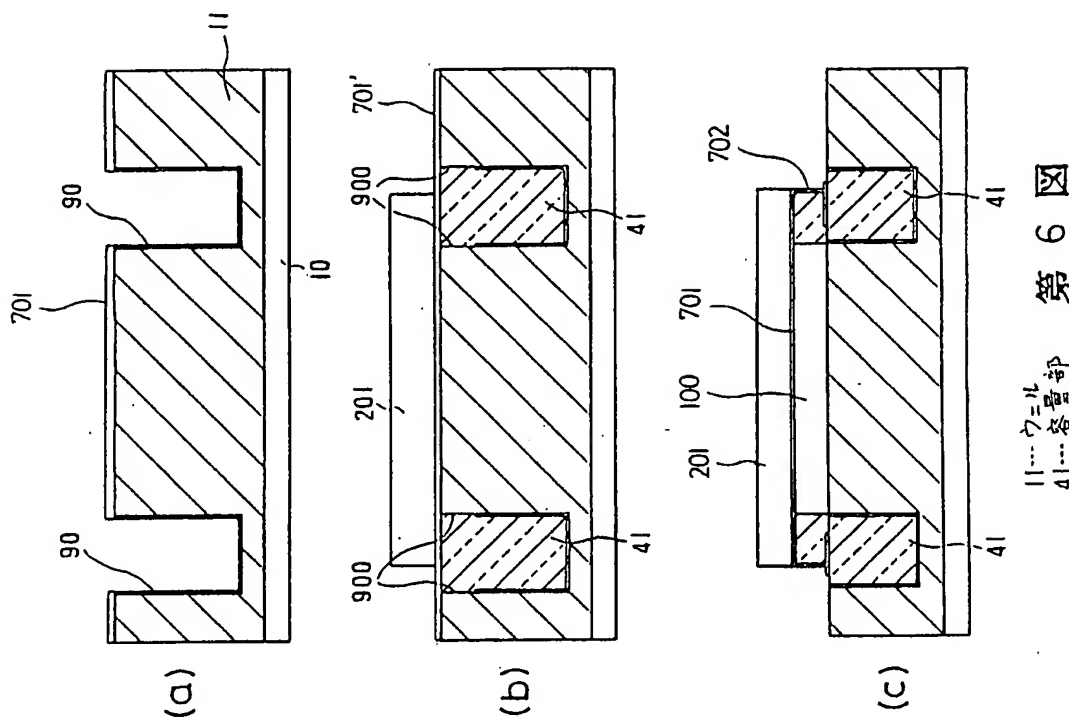
20...絶縁層
31...ワード線
41...容量部
80...ビット線
90...容量絶縁膜

第 5 図

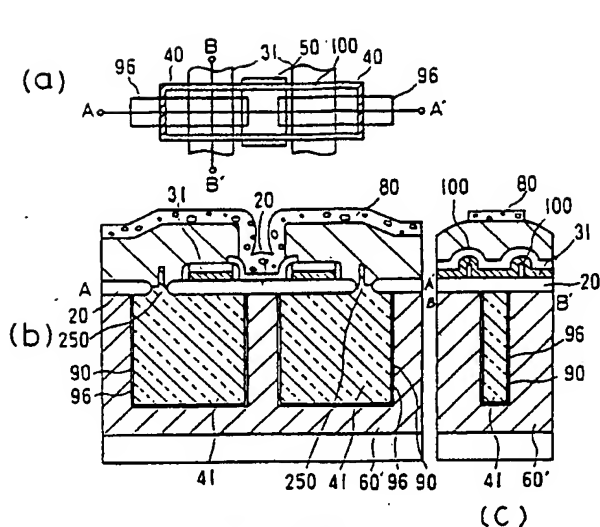


第 6 図

31...ワード線
60...基板プレート

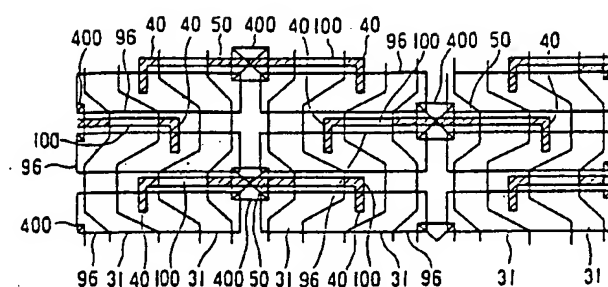


第 6 図



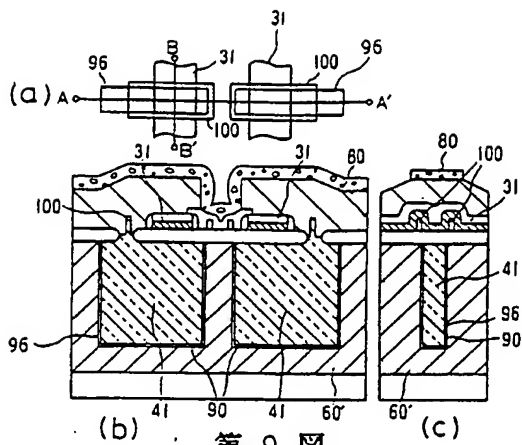
第 7 図

- 40 ソース電極
- 50 ドレイン電極
- 80 ビット線
- 90 容量絶縁膜
- 96 トレンチ
- 100 半導体層

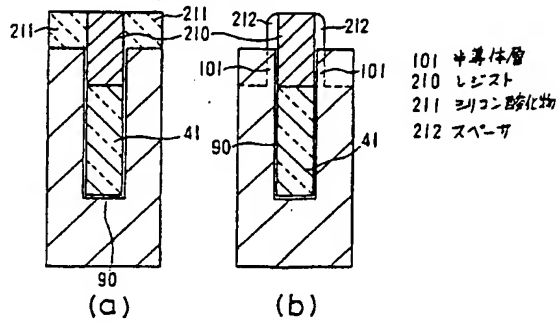


- 31...ワード線 (Word line)
- 40...ソース電極 (Source electrode)
- 50...ドレイン電極 (Drain electrode)
- 96...トレンチ (Trench)
- 100...半導体層 (Semiconductor layer)
- 400...ビット線コンタクト (Bit line contact)

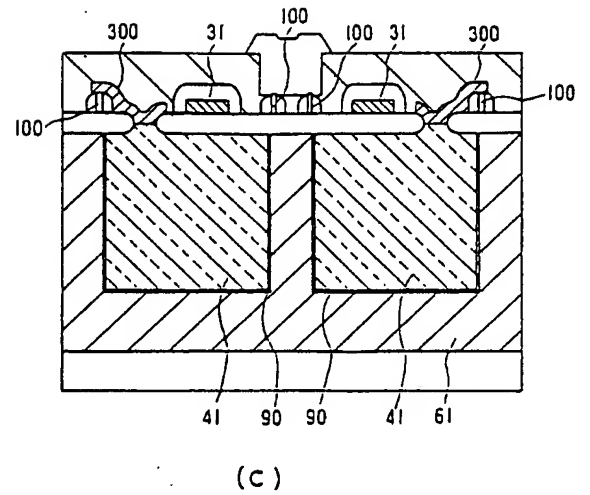
第 8 図



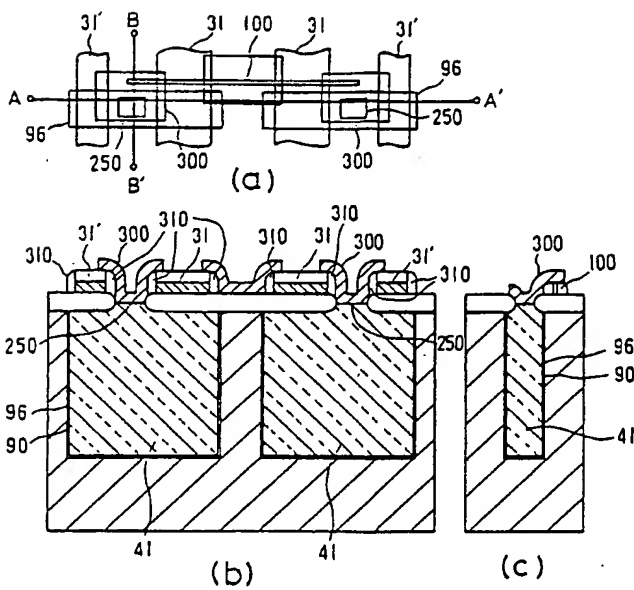
第 9 図



第 10 図

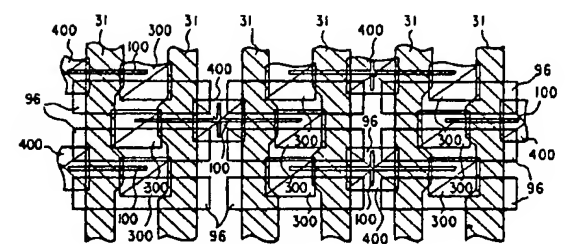


第 10 図

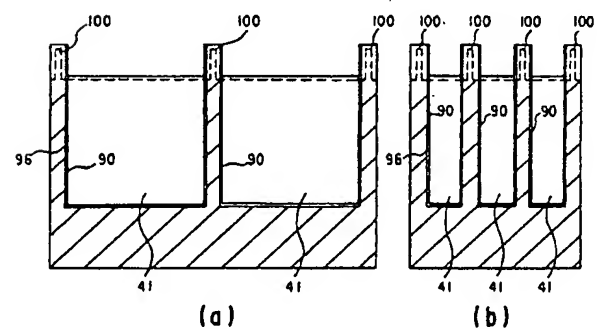


31.3F ワード線
96 トレンチ
250 トレンチ開口部
300 引出層
310 スペーカ

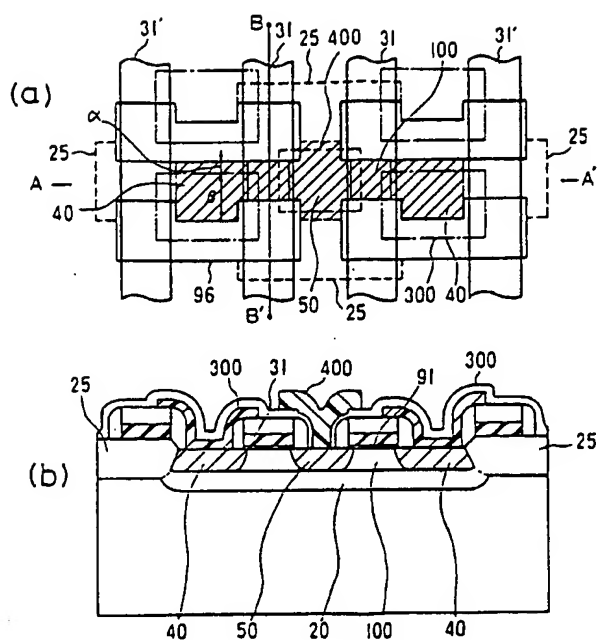
第 11 図



第 12 図

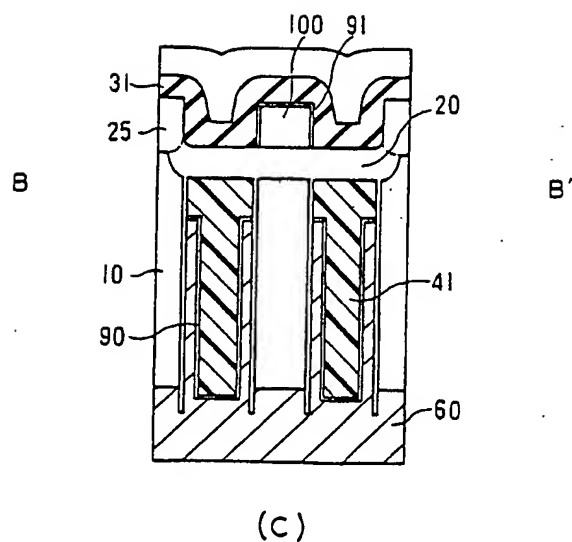


第 13 図

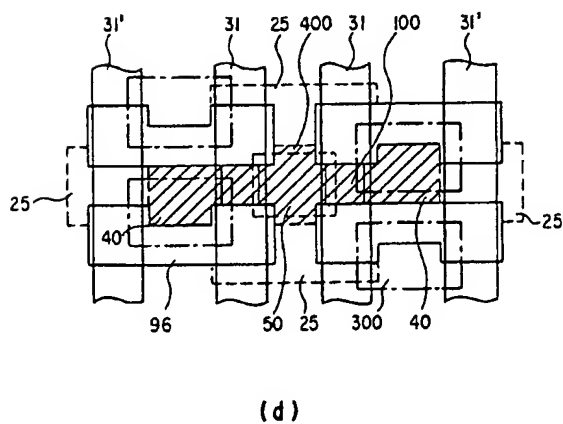


20 絶縁層
25 フォトリソ酸化膜
96 トレンチ
300 引出層
400 ビット線コンタクト

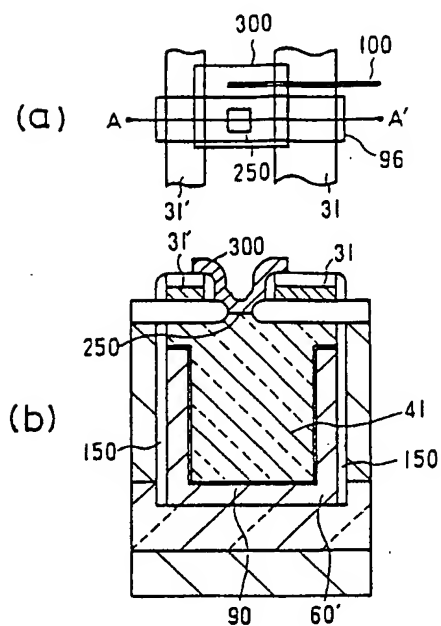
第14図



第14図

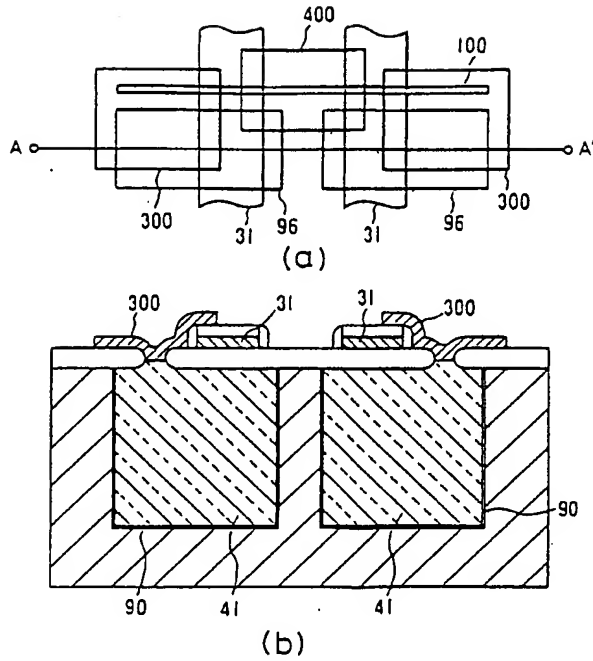


第14図

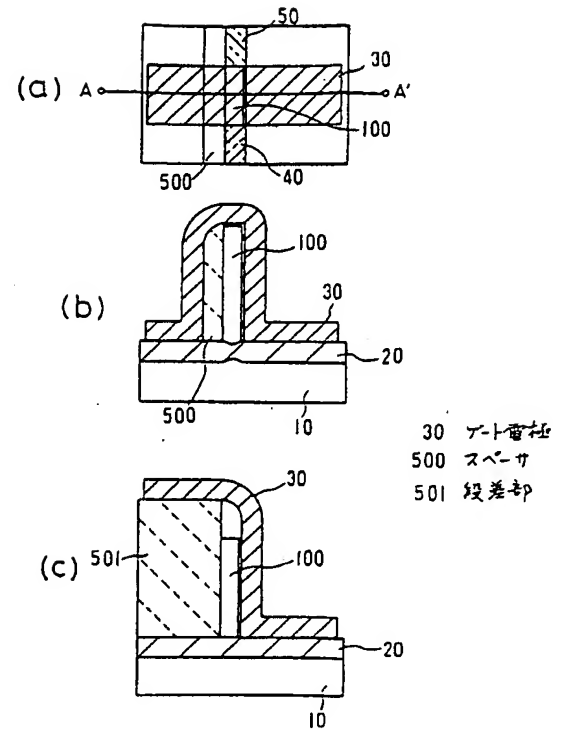


第15図

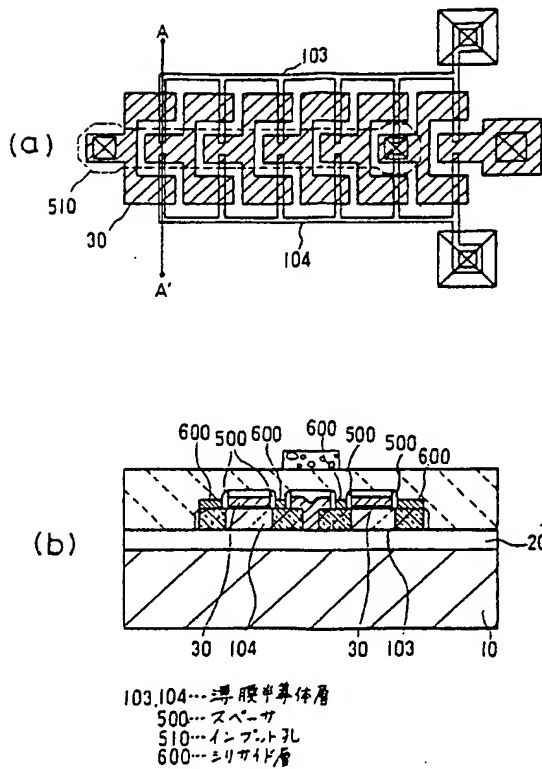
96 トレンチ
150 シリコン酸化物
250 トレンチ開口部
300 引出層



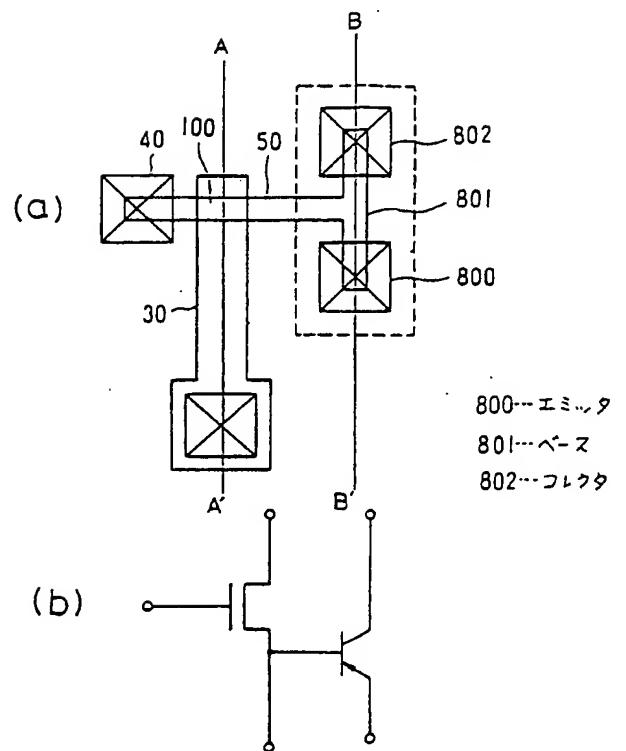
第 16 図



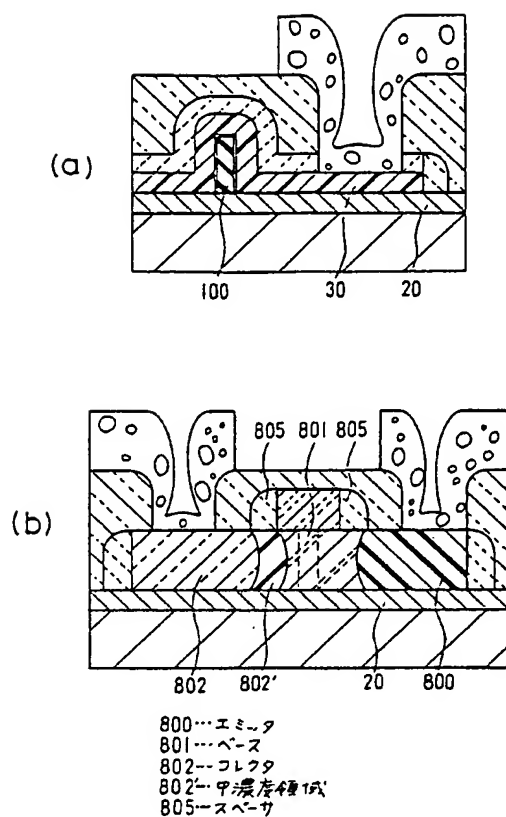
第 17 図



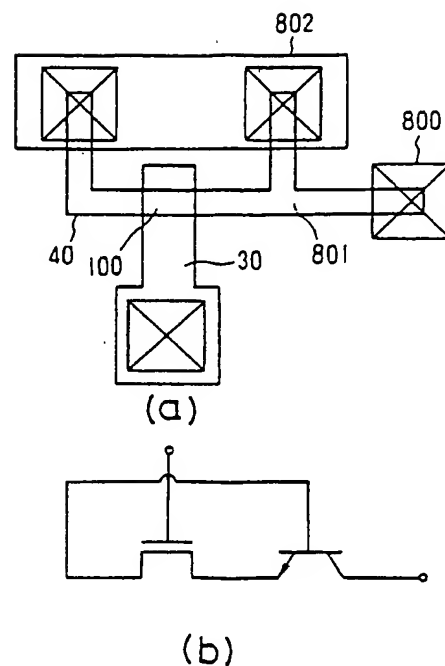
第 18 図



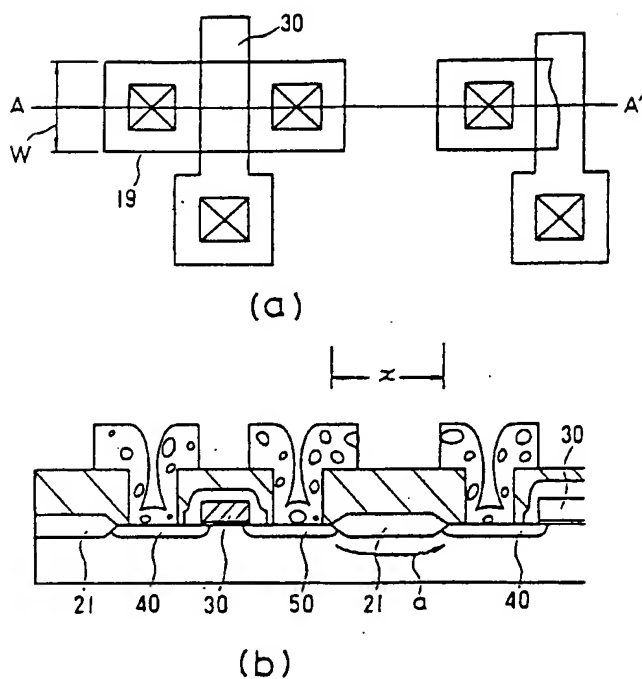
第 19 図



第 20 図

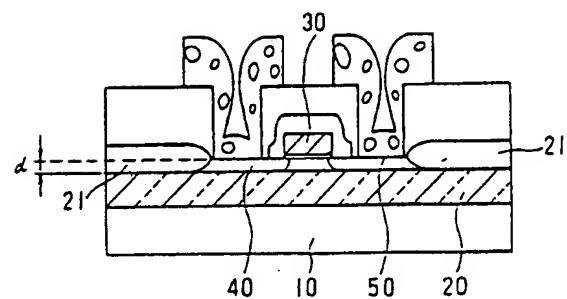


第 21 図

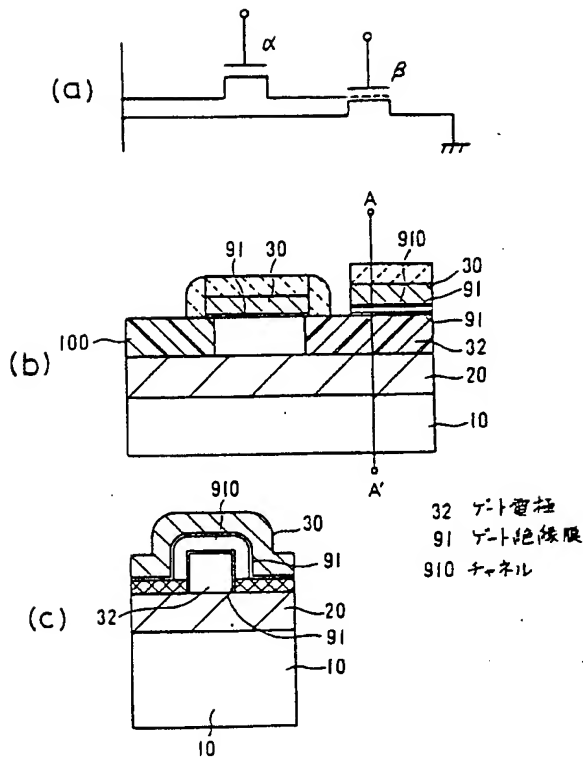


第 22 図

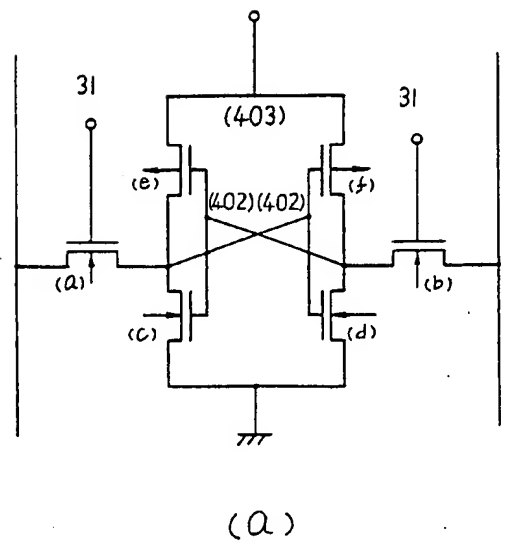
- 19 活性領域
21 絶縁膜
30 ゲート電極
40 ソース電極
50 ドレイン電極



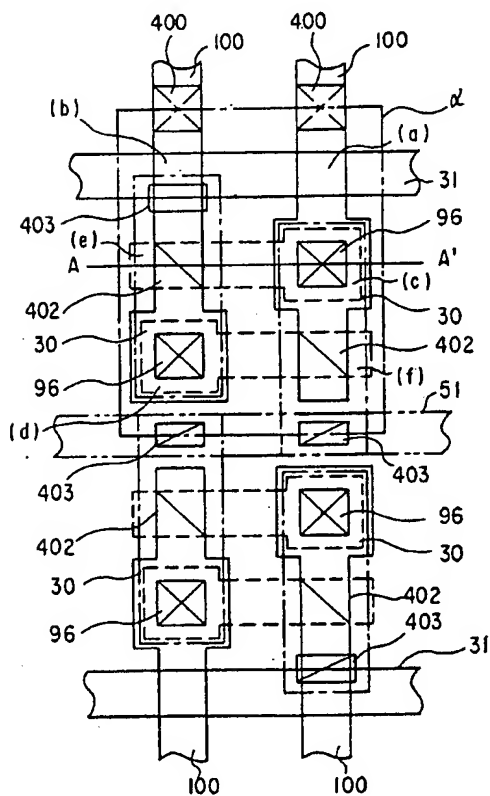
第 23 図



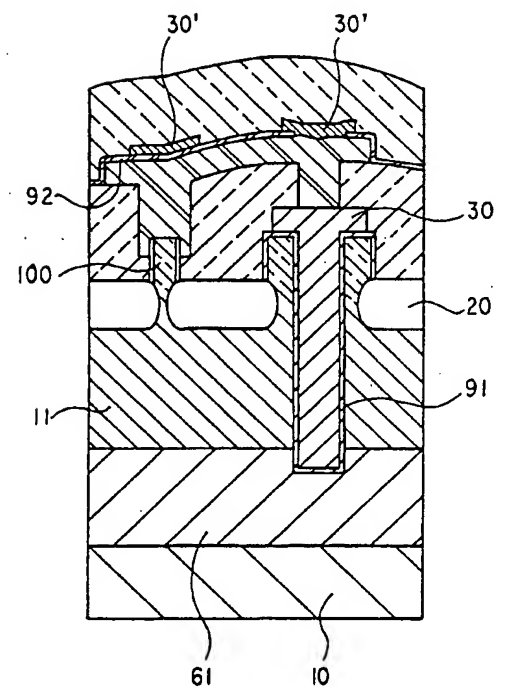
第24図



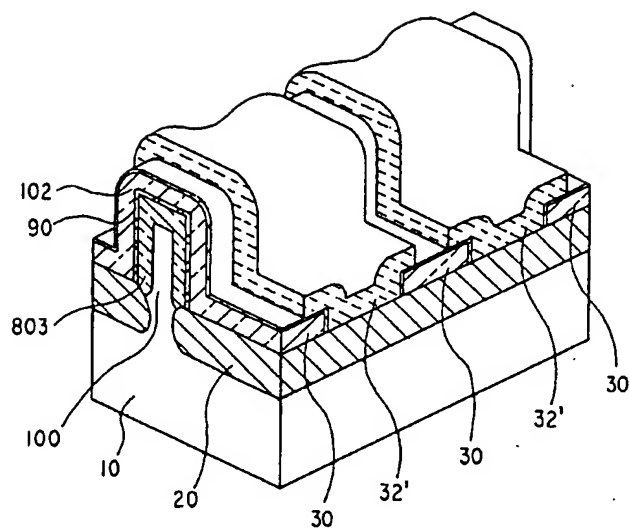
第25図



第25図



第25図 (c)



第 26 図

第 1 頁の続き

⑤Int. Cl.⁵

識別記号

庁内整理番号

H 01 L 21/331
21/339
27/10
29/73
29/796

8624-5F

8526-5F H 01 L 29/72
8422-5F 29/76

3 0 1 A

⑫発明者	茂庭	昌弘	東京都国分寺市東恋ヶ窪1丁目280番地	株式会社日立製作所中央研究所内
⑫発明者	田中	治彦	東京都国分寺市東恋ヶ窪1丁目280番地	株式会社日立製作所中央研究所内
⑫発明者	平岩	篤	東京都国分寺市東恋ヶ窪1丁目280番地	株式会社日立製作所中央研究所内
⑫発明者	武田	英次	東京都国分寺市東恋ヶ窪1丁目280番地	株式会社日立製作所中央研究所内